**《数字逻辑》实验报告**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **姓名** | **魏永森** | | **年级** | | **2019级** |
| **学号** | **20192242** | | **专业、班级** | | **计算机科学与技术 卓越01** |
| **实验名称** | **实验十五 摩尔状态机序列检测器** | | | | |
| **实验时间** | **12.4** | **实验地点** | | **DS1410** | |
| **实验成绩** |  | **实验性质** | | **□验证性 □设计性 □综合性** | |
| 教师评价：  □算法/实验过程正确； □源程序/实验内容提交 □程序结构/实验步骤合理；  □实验结果正确； □语法、语义正确； □报告规范；  评语：  评价教师签名（电子签名）： | | | | | |
| 一、实验目的  通过实验，掌握有限状态机的设计方法，并用摩尔状态机设计实现“1101”序列检测。 | | | | | |
| 二、实验项目内容  1、设计“1101”序列检测的状态转换图。  2、调用并转串输出模块，使用 Verilog HDL 语言的行为描述方式实现一个  摩尔状态机，能检测一个 8 位的二进制数据中是否存在“1101”序列，如  果检测到该序列则指定的 LED 灯亮。  3、综合、实现、生成 bit 流，下载到 Nexys4 开发板进行验证。 | | | | | |
| 三、实验设计  实验原理：  如果同步时序电路的输出只与现态有关而与输入无关，则称该电路为 Mealy 型电路。根据这种关系和题目的要求设计相应的状态转移图。  状态转移图设计如下： | | | | | |
| 四、实验过程或算法  实验步骤：  1、设计“1011”序列检测的摩尔状态转换图。  状态转换图如上  2、设计一个并转串输出模块将输入的八位二进制数据依次输出。  Verilog程序相关代码:  always @(posedge clk)  begin  if(cnt<8)  begin  dout<=datatemp[cnt]; //将数据一位一位输出  cnt<=cnt+1;  end  else  begin  dout<=0;  cnt<=cnt+1;  end  end  3、设计一个状态转换模块，将并转串模块的输出作为输入检测是否存在“1011”序列。  Verilog相关程序代码  always @(\*)  begin  case(present\_state) //根据现态和输入选择下一个状态  S0: next\_state<=(din==1)? S1:S0;  S1: next\_state<=(din==1)? S2:S0;  S2: next\_state<=(din==1)? S2:S3;  S3: next\_state<=(din==1)? S4:S0;  S4: next\_state<=(din==1)? S2:S0;  default: next\_state <= S0;  endcase  end  4、设计顶层模块。  always@(posedge clk)  begin  if(clr==1 || rnt==0)//复位  q<=0;  else if(result==1)  q<=1;  end  always@(rnt)  begin  if(rnt==1)  begin  in=din;  end  else  in=8'b00000000;  end  wire wei;  par2ser u1(.clk(clk),.din(in),.dout(wei));//实例化模块  seqdeta u2(.clk(clk),.clr(clr),.din(wei),.dout(result));  5、下载比特流到板子上进行验证。  连接开发板，并综合程序原文件，输入引脚并产生约束文件。    确认后，保存位xdc文件。之后生成比特流。接着打开硬件程序并打开一个新的硬件目标。然后向开发板中编入文件即可。在开发板上验证自己的逻辑与程序是否正确。  经验证，实验结果与实验要求一致 | | | | | |
| 五、实验过程中遇到的问题及解决情况  最开始的时候可以进行仿真，但是生成比特流后在板子上无法操作，后来查看message的critical warming看到了multi driver的错误，通过查找相关的文档知道我在不同的always中对同一个变量进行了赋值。  后来更改相关的逻辑，避免了在不同always中对同一个变量进行赋值的情况，最终在开发板上实现了相应的功能。 | | | | | |
| 六、实验结果及分析和（或）源程序调试过程  进行RTL分析  仿真图      输入10011010，判断出存在序列（右边的灯亮）    输入11001010，没有检测到1101（右边的灯不亮）  七、小组分工情况说明  魏永森：绘制状态机的转换图并编写对应的状态转换模块，编写激励文件进行仿真。  张鑫：编写并转串模块，根据模块编写顶层模块，下载到开发板上进行验证。 | | | | | |